

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-320229

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁸

G 0 6 F 11/22

識別記号

3 4 0

F I

G 0 6 F 11/22

3 4 0 A

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願平9-320701

(22) 出願日 平成9年(1997)11月21日

(31) 優先権主張番号 08/802857

(32) 優先日 1997年2月19日

(33) 優先権主張国 米国 (US)

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 ロバート・F・サウアー

アメリカ合衆国95054カリフォルニア州サ

ンタクララ市スコット通3201

(72) 発明者 福島 清

アメリカ合衆国95054カリフォルニア州サ

ンタクララ市スコット通3201

(72) 発明者 矢元 裕明

アメリカ合衆国95054カリフォルニア州サ

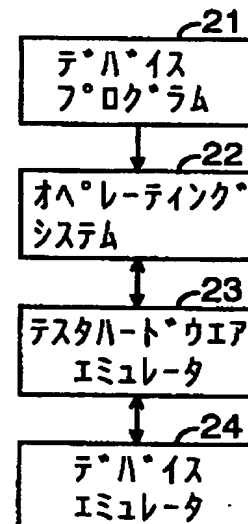
ンタクララ市スコット通3201

(54) 【発明の名称】 半導体試験装置

(57) 【要約】 (修正有)

【課題】 被試験半導体部品に試験信号を基準周期毎に与えてその結果として得られる被試験半導体部品の出力信号を期待値と比較して、その半導体部品の良否を試験するための半導体試験装置に用いるエミュレータを提供する。

【解決手段】 エミュレータは、半導体試験装置の各ハードウェアユニットの機能をエミュレートする各エミュレータユニットと、被試験半導体部品の機能をエミュレートするデバイスエミュレータと、テストプログラムに基づいて、その各エミュレータユニットからそのテストプログラムの実行に必要なデータを収集する手段と、その収集したデータにより、上記デバイスエミュレータに印加する試験信号を発生し、そのデバイスエミュレータからの結果信号を比較しその結果を格納するデバイステストエミュレータとを有する。



【特許請求の範囲】

【請求項1】 被試験半導体部品に試験信号を基準周期毎に与えてその結果として得られる被試験半導体部品の出力信号を期待値と比較して、その半導体部品の良否を試験するための半導体試験装置において、

半導体試験装置の各ハードウェアユニットの機能をエミュレートする各エミュレータユニットと、被試験半導体部品の機能をエミュレートするデバイスエミュレータと、

テストプログラムに基づいて、その各エミュレータユニットからそのテストプログラムの実行に必要なデータを収集する手段と、

その収集したデータにより、上記デバイスエミュレータに印加する試験信号を発生し、そのデバイスエミュレータからの結果信号を比較しその結果を格納するデバイステストエミュレータと、

を有することを特徴とする半導体試験装置。

【請求項2】 請求項1記載の半導体試験装置において、上記各エミュレータユニットは試験信号の周期を示すデータを発生するレート発生エミュレータと、テストプログラムに応じて必要な試験信号を発生するパターン発生エミュレータと、そのレート発生エミュレータとパターン発生エミュレータからのデータに基づいて試験信号の波形成形とタイミングの生成を行うフレームプロセッサエミュレータとを含むことを特徴とする半導体試験装置。

【請求項3】 被試験半導体部品に試験信号を基準周期毎に与えてその結果として得られる被試験半導体部品の出力信号を期待値と比較して、その半導体部品の良否を試験するための半導体試験装置において、

上記被試験半導体部品の所定の端子に印加する試験信号の波形を含む試験に必要な各種の試験条件を設定するためのテストプログラム印加手段と、

そのテストプログラムをオブジェクトコードに変換するとともにそのプログラム内容を解釈するコンパイラ手段と、

半導体試験装置の各ハードウェアの特性に応じたデータをテーブル形式で格納し、そのデータにより上記コンパイラ手段における解釈を補助するとともに、上記テーブル形式のデータをハードウェアの変更に応じて変更するコンパイラ用インターフェイス手段と、

半導体試験装置の仕様に依じたデータテーブルを有し、上記インターフェイス手段からのコンパイルされ解釈補助されたデータを対応するハードウェアのデータにフォーマット変換するライブラリ手段と、

そのフォーマット変換されたデータをハードウェア内のレジスタに転送するために半導体試験装置内のデータバスに送出するドライバ手段と、

そのハードウェア内のレジスタに換えて、そのライブラリ手段により形成されたデータが与えられ、そのデータ

を指定されたメモリ領域に格納し、そのメモリ領域に格納されたデータにより、上記各ハードウェアの仕様や動作をエミュレートするためのエミュレータとを有することを特徴とする半導体試験装置。

【請求項4】 半導体部品の良否を試験するための請求項1記載の半導体試験装置において、上記ハードウェア内のレジスタの物理的仕様に依じたデータテーブルを有し、上記ライブラリ手段によりフォーマット変換されたデータをそのレジスタに格納できるデータに変換するためのドライバライブラリ手段を有することを特徴とする半導体試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、IC等の半導体部品を試験するための半導体試験装置に関し、特に、半導体試験装置のハードウェアのエミュレート、更にはその半導体試験装置により試験される半導体部品のエミュレートをハードウェア無しで実行できるエミュレータに関する。さらに本発明は半導体試験装置のハードウェアの変更や追加に伴うソフトウェアの変更が少量且つ簡単に行えるオペレーティングシステムと組み合わせて用いることができる半導体試験装置のエミュレータに関する。

【0002】

【従来の技術】IC等の半導体部品を試験するための半導体試験装置では、被試験半導体部品にテストベクタと呼ばれる試験信号パターンを印加して、その結果として被試験半導体部品から現れる出力をあらかじめ定めた期待値と比較して、その被試験半導体部品の良否を判定するようにしている。このテストベクタは一般にテストプログラムにより作成されるが、そのテストプログラムの言語は、半導体試験装置のメーカー独自の言語が用いられている。半導体試験装置は、複雑なコンピュータチップや大容量半導体メモリ等の測定を十分に行うために、複雑高度な測定を高速に行う必要があり、このためその実際の構成は大規模なコンピュータシステムとなっている。したがって、上記のテストプログラムも含めた大規模なソフトウェアにより、半導体試験装置の動作等の制御がされている。

【0003】特に半導体製造分野では、半導体試験装置の利用効率をできる限り高くしたいとの要請が強い。これは、半導体試験装置が複雑高価な装置であること、また半導体部品の価格競争が熾烈であること等の理由による。したがって、例えば試験をする半導体部品について試験プログラムを作成する等の工程のために、高価な半導体試験装置を専有することは避けなければならない。また作成した試験プログラムの評価確認等についても半導体試験装置のハードウェアを一切用いないで実行できることが理想的である。

【0004】そのため、最近の高級な半導体試験装置では、エミュレータが装備される場合が多くなって来い

10

20

30

40

50

る。しかしながら、従来のエミュレータは半導体試験装置のオペレーティングシステムをエミュレートするものであり、エミュレータとしての機能が不十分であった。例えば従来のエミュレータでは、試験しようとする半導体部品に対して、テストベクタを与えその結果を評価する等の、部品に対する試験の実行のレベルでのエミュレートはできなかった。

【0005】ところで、半導体部品の急速な進歩の為に、それを試験する半導体試験装置も増設変更あるいは新型へのモデル変更等が多くおこなわれる。例えば半導体試験装置のテストベクタを発生するテストパターン発生器において、通常の比較的単純なシーケンスのパターンを発生するパターン発生器に加えて、特殊な数学的シーケンスによるパターンを発生するアルゴリズムックパターン発生器を増設する等の変更が行われる。そのようなハードウェアの変更や追加がされた場合、その変更追加されたハードウェアそれぞれをソフトウェアにより制御等するための設定が必要である。これは一般に、追加変更により新たに加えられたハードウェアが内蔵するレジスタに、必要なデータを転送することにより行われる。

【0006】従来の技術においては、このようなハードウェアの変更に伴うソフトウェアの設定は、簡単におこなうことはできなかった。従来技術では、このような場合、比較的小規模なハードウェアの変更であっても、複雑なソフトウェアの変更を要し、それに伴い長時間の作業が必要であった。またそのようなソフトウェアの変更を実行する為には、実際に変更や追加のされたハードウェアを用いて行うのが通常であった。したがって、ハードウェアの変更や追加がある場合、それに伴うソフトウェアの変更が容易に行え、且つそのようなハードウェアが実際に変更追加される以前にあるいは、そのようなハードウェアを実際に使用しないで、そのハードウェアをエミュレートして、ソフトウェアの変更作業やテストプログラムの開発やデバッグを行うことが望まれていた。

【0007】

【発明が解決しようとする課題】この発明の目的は、半導体試験装置による半導体部品の試験を行う場合に、試験プログラムの作成やその動作確認等の実施を、実際のハードウェアとしての半導体試験装置を専有しないで行うことができる、半導体試験装置用エミュレータを提供することにある。

【0008】この発明の他の目的は、半導体試験装置による半導体部品の試験を行う場合、その試験のためのプログラムの開発やデバッグを、半導体部品に対する試験信号の印加や結果としての信号の評価等、具体的な試験レベルで行うことができる、半導体試験装置用エミュレータを提供することにある。

【0009】この発明のさらに他の目的は、半導体試験装置の製造および使用において蓄積したソフトウェア

を、半導体試験装置のハードウェアの追加や変更さらには新型半導体試験装置のような別の装置にも容易かつ迅速に変更適用できるとともに、そのようなソフトウェアの変更適応をハードウェア無しで準備できる、半導体試験装置用エミュレータを提供することにある。

【0010】

【課題を解決するための手段】本発明の半導体試験装置は、各ハードウェアユニットの機能をエミュレートする各エミュレータユニットと、被試験半導体部品の機能をエミュレートするデバイスエミュレータと、テストプログラムに基づいて、その各エミュレータユニットからそのテストプログラムの実行に必要なデータを収集する手段と、その収集したデータにより、上記デバイスエミュレータに印加する試験信号を発生し、そのデバイスエミュレータからの結果信号を比較しその結果を格納するデバイステストエミュレータを有する。

【0011】本発明の他の実施態様では、被試験半導体部品に試験信号を基準周期毎に与えてその結果として得られる被試験半導体部品の出力信号を期待値と比較して、その半導体部品の良否を試験するための半導体試験装置は、上記被試験半導体部品の所定の端子に印加する試験信号の波形を含む試験に必要な各種の試験条件を設定するためのテストプログラム印加手段と、そのテストプログラムをオブジェクトコードに変換するとともにそのプログラム内容を解釈するコンパイラ手段と、半導体試験装置の各ハードウェアの特性に応じたデータをテーブル形式で格納し、そのデータにより上記コンパイラ手段における解釈を補助するとともに、上記テーブル形式のデータをハードウェアの変更に応じて変更するコンパイラ用インターフェイス手段と、

【0012】半導体試験装置の仕様に応じたデータテーブルを有し、上記インターフェイス手段からのコンパイルされ解釈補助されたデータを対応するハードウェアのデータにフォーマット変換するライブラリ手段と、そのフォーマット変換されたデータをハードウェア内のレジスタに転送するために半導体試験装置内のデータバスに送出するドライバ手段と、上記ハードウェア内のレジスタに相当するメモリ領域を有し、上記ドライバ手段からのフォーマット変換されたデータを仮想データバスを経由して受け取り、そのデータに基づいて、該当するハードウェアの動作をエミュレートすると共にそのエミュレートした模擬ハードウェアにより被試験半導体部品に与える試験信号発生、印加および期待値との比較を模擬するエミュレータと、を有することを特徴とする。

【0013】本発明による半導体試験装置のエミュレータによれば、ハードウェアとしての半導体試験装置が無くても、そのハードウェアの機能さらにはそのハードウェアによる試験信号の発生、被試験部品からの結果信号の発生、その結果信号の比較等の動作がエミュレートできる。すなわち、被試験部品に対する具体的な試験のレ

10

20

30

40

50

ベルでのエミュレートができるので、デバイスプログラムの開発やデバッグ等がハードウェアなしで完全に実行できる。

【0014】さらに本発明の半導体試験装置では、ハードウェアの追加や交換等の変更があった場合、その変更されたハードウェアを制御するためのソフトウェアの変更がテストプログラムに対するコンパイラを考慮あるいは変更することなく実施できるため使用者におけるソフトウェアの変更が容易に行える。さらに本発明においては、半導体試験装置のハードウェアの追加や変更がある場合、そのハードウェアを実際に使用しないでも、必要な制御データを作成してエミュレータに格納し、そのデータに基づいて制御データの適否の確認や新たなデバイスプログラムの開発やデバッグ、さらには半導体試験装置全体としての機能のエミュレートを実行できる。

【0015】

【発明の実施の形態】以下に本発明の実施の形態を実施例と共に詳細に説明する。

【0016】

【実施例】半導体試験装置のシステム全体の概要を第1図のブロック図に示す。図において、半導体部品を試験するプログラム(デバイスプログラム)11が、試験対象である半導体部品14の種類や試験目的に応じて作成されて、半導体試験装置に搭載される。デバイスプログラム11は、一般に半導体試験装置のユーザにより、目的とする半導体部品14の種類や試験項目に応じて作成される。デバイスプログラム11では、半導体試験装置から被試験半導体部品14の各端子に印加する試験信号の周波数、波形、遅延時間、振幅等の設定およびその試験信号によって被試験半導体部品14から得られるべき出力信号を示す期待値の設定を行う。デバイスプログラム11は、例えばハードウェア記述言語であるHDLやVHDL等を基に構成されたテスト記述言語(TDL)で記述される。

【0017】半導体試験装置は各プログラム動作を監視統括するオペレーティングシステム12と半導体試験装置としてのハードウェア(テストハードウェア)13により構成されている。テストハードウェア13はハードウェアとしての物理的なバスライン(テストバス)を経由してオペレーティングシステム12と接続されている。テストハードウェア13から被試験半導体部品14に試験信号(テストベクタ)が印加され、その結果としての被試験半導体部品14からの出力信号がテストハードウェア13に取り込まれる。テストハードウェア13では、その被試験半導体部品14からの出力信号を、デバイスプログラム11で規定された期待値と比較してその良否を判定する。

【0018】第2図は第1図における半導体試験装置のシステム全体の概要を、本発明によるエミュレータの機能により示したブロック図である。すなわち本発明のエミュレータは、半導体試験装置のシステム全体としての動作、さらに半導体試験装置による目的の部品の試験を、

ソフトウェアのみで実施することを可能とする。第2図において、デバイスプログラム21とオペレーティングシステム22は、第1図における実際の半導体試験装置のデバイスプログラム11とオペレーティングシステム12とそれぞれ同じである。オペレーティングシステム22は、ソフトウェアによる仮想的なバスラインを経由して、テストハードウェアエミュレータ23に接続されている。

【0019】テストハードウェアエミュレータ23は半導体試験装置のハードウェアの構成と動作をエミュレートするものである。デバイスエミュレータ24は、第1図における被試験半導体部品14を模擬するものであり、テストハードウェアエミュレータ23とソフトウェア的に接続されている。デバイスエミュレータ24は、テストハードウェアエミュレータ23からの仮想的な試験信号を受けて、その結果としての仮想信号を目的とする半導体部品14に応じて出力する。デバイスエミュレータ24からの出力信号は、テストハードウェアエミュレータ23により期待値と比較される。以上のようなエミュレータの構成により、デバイスプログラム21の開発やそのデバッグが、実際の半導体試験装置のハードウェアを専有することなく実施できる。

【0020】第3図は半導体試験装置の各ハードウェアブロック及び試験対象である半導体部品との接続関係を示すブロック図である。この例では、半導体試験装置のハードウェアはレート発生器31、パターン発生器32、フレームプロセッサ33およびテストヘッド34の各ブロックで構成されている。これらのハードウェアブロックはテストバスにより相互に接続され、第1図に示したオペレーティングシステム12により監視統括されている。各ハードウェアブロックにはレジスタが設けられ、動作に必要なソフトウェアが格納されている。

【0021】レート発生器31はデバイスプログラムに基づいた、試験信号であるテストベクタの周期(テストレート)を発生する。パターン発生器32は第1図におけるデバイスプログラムに基づいて、被試験半導体部品14に印加する試験信号を発生する。パターン発生器32には試験結果の情報を格納するデバイスフェイルメモリ(DFM)35が設けられている。フレームプロセッサ33はパターン発生器32からの試験信号を受けて、その試験信号の波形整形とタイミングの生成をおこなうものである。フレームプロセッサ33により、試験信号は例えばRZ(リターンゼロ)、NRZ(ノンリターンゼロ)あるいはEOR(エクスクルージブオア)等の波形に整形される。フレームプロセッサ33はさらに、レート発生器31からのタイミングデータに基づいて、テストレート内における試験信号の遅延タイミングや、後述の比較回路における比較を実施するためのストローブタイミング等を決定する。

【0022】テストヘッド34は半導体試験装置と被試験半導体部品14のインターフェイスをするものである。被試験半導体部品14がテストヘッドにマウントされると、

波形整形された試験信号がテストヘッド34を經由して被試験半導体部品14に印加される。試験信号の印加により、被試験半導体部品14から結果信号が送出される。テストヘッド34には比較回路が設けられ、被試験半導体部品14からの結果信号とデバイスプログラムにより規定された期待値とを比較して、その結果信号の良否を判定する。比較回路における比較のタイミングは、上述のフレームプロセッサ33により発生されたストロブ信号により規定される。その判定結果は例えばパターン発生器32内に設けられた、デバイスフェイルメモリ35に記憶される。

【0023】第4図は第3図における半導体試験装置のブロック図による半導体部品の試験構造を、本発明によるエミュレータの機能により示したブロック図である。第4図のエミュレータユニットは第3図のハードウェアブロックと1対1の対応を有している。すなわち、レート発生エミュレータ41はレート発生器31におけるテストレート発生機能をエミュレートする。パターン発生エミュレータ42はパターン発生器32の試験信号発生機能をエミュレートする。フレームプロセッサエミュレータ43はフレームプロセッサ33による波形整形やタイミング決定機能をエミュレートする。テストヘッドエミュレータ44はデバイスエミュレータ45に試験信号を印加し、その結果信号を期待値と比較する機能をエミュレートする。デバイスエミュレータ45は被試験半導体部品14の動作をエミュレートする。

【0024】第4図の各エミュレータユニットは、第3図の各ハードウェアブロック内に設けられた物理レジスタの内容に対応するデータにより構成される。したがって、第4図の全体としてのエミュレータは、大きなレジスタまたはメモリであり、その中に各エミュレータユニットのデータがメモリ領域毎に配置された形態を有する。各ハードウェアブロックの動作についてのエミュレーションをする場合は、対応するエミュレータユニットのデータを読みだすことにより実施される。例えばデバイスプログラムのテストレートの設定が許容値の範囲外である場合は、レート発生器31に設定することはできない。このような場合、レート発生エミュレータ41のデータにより、そのようなテストレートの設定が不適当であることが知らされる。

【0025】エミュレータにより想定した半導体部品の模擬試験を行う場合には、各エミュレータユニットから必要なデータを取り出して、試験信号を生成することが必要になる。メモリ47はエミュレータ内に設けられた、各エミュレータユニットからのデータを格納する部分である。デバイステストプログラムが設定されると、そのテストプログラムで指定されたテストレート、試験データ、試験信号波形を発生する為に必要なデータを各エミュレータユニットから取り出して、メモリ47に格納する。エミュレータはメモリ47に格納されたデータを用い

て、デバイスプログラムで規定された試験信号を発生して模擬半導体部品に印加し、その結果信号を比較してその部品の良否判定動作をエミュレートする。以上のエミュレータにより、半導体試験装置としてのハードウェアを必要とせずに、デバイスプログラムの開発とデバッグができ、そのデバイスプログラムにより、想定した試験が可能か等の確認ができる。

【0026】第5図は本発明によるエミュレータの動作の概略を、目的(階層)別フローに応じて示したフローチャートである。第5図では、3種類のエミュレータ動作フローを有する例を示している。TDL等の言語によりデバイスプログラムが作成されると、そのオペレーティングシステムにより解釈されて、各ハードウェアブロックのレジスタに格納するアドレスやデータとして送出される。エミュレータの動作の場合はこのアドレスやデータを、ステップ11により仮想テストバスを經由して、ステップ12によりエミュレータのメモリに格納する。エミュレータのメモリには半導体試験装置の各ハードウェアブロックのレジスタに相当する領域が配置されている。デバイスプログラムが適正であれば、各メモリ領域に送られるデータも適正であり、各メモリ領域に書き込みができる。したがって、エミュレータの使用が、各ハードウェアへ送出するデータが適正かのみを見る場合は、そのエミュレーションの結果がループ(a)を經由してオペレーティングシステムに戻される。

【0027】一方、作成したデバイスプログラムにより、各ハードウェアブロックの動作が適正になされるかを見る場合には、そのエミュレータ動作はループ(b)のフローにおいて実施される。すなわちステップ13において、各メモリ領域に書かれたデータに基づいて、各ハードウェアブロックの動作エミュレーションが行われる。各ハードウェアに対応するエミュレータは第4図に示したような概念により構成されている。このエミュレーションの結果はループ(b)を經由してオペレーティングシステムに戻される。

【0028】さらに、作成したデバイスプログラムにより、想定した被試験半導体部品に対する試験信号の印加、結果信号の期待値との比較等の動作が適正になされるかを見る場合には、そのエミュレータ動作はループ(c)のフローにおいて実施される。このエミュレータフローでは、ステップ14において、被試験部品に印加すべき試験信号がエミュレートされ、ステップ15においてその試験信号が被試験部品に印加された状態がエミュレートされる。したがって、ステップ15では、試験信号の印加による結果信号がエミュレートされて被試験部品から得られる。ステップ16では、ステップ15において得られた、被試験部品からの結果信号を期待値と比較する動作がエミュレートされる。比較結果が得られるとステップ14に戻り、次の試験信号の印加がエミュレートされる。デバイステストプログラムが終了するまでこの試験信号

の印加とその結果信号の比較の動作が、テストプログラムで規定されたテストレートで繰り返しエミュレートされる。

【0029】第6図は第5図の(c)によるフローにおける、被試験半導体部品への試験信号の印加、結果信号の送出、結果信号と期待値との比較のエミュレートをする場合の各信号波形を示すタイミングチャートである。デバイステストプログラムにより指定されたテストレートTと遅延時間t、試験信号波形に基づいて、第6図Aに示す試験信号が発生され、これが被試験部品に印加される。想定した被試験部品の特性により定まる出力信号が第6図Bのように形成される。その出力信号と期待値とが、テストプログラムに規定された第6図Cに示すストロブのタイミングで比較される。

【0030】第7図は本発明の他の実施例を示すブロック図であり、半導体試験装置のハードウェアの変更があっても、それに伴うソフトウェアの変更が少量でかつ簡単にできるオペレーティングシステムとエミュレータを組合わせたものであり、ハードウェアの変更追加にともなう制御データの適否の判断、デバイステストプログラムの開発やデバッグが実際のハードウェアを有しないでできる。

【0031】本発明の半導体試験装置は、ハードウェアの交換や追加に伴う制御プログラムの設定が、その交換や追加に伴うレジスタ定義体の変更作業およびライブラリの追加のみでおこなえ、バイナリ形式のコンパイラと独立して行うことを可能にする。また、レジスタ定義体の変更によりハードウェアエミュレータへのレジスタの追加や変更が容易に行える。

【0032】第7図の例は、テストプログラム51、マスタプロセッサ53、MPインターフェイス54、テストライブラリ56、バスドライバ55、テストバス52、仮想テストバス57、エミュレータ59より構成されている。半導体試験装置のハードウェア13はその各ブロック毎にレジスタ58が設けられている。この構成により、対象とするハードウェアの構成に関するデータと独立して、テストプログラムのコンパイルと解釈をマスタプロセッサ53において行う。すなわち、ハードウェア13内のレジスタ58にテストのための制御データを転送する作業にマスタプロセッサ53は直接関与しない。

【0033】第7図の例において、テストプログラム51は、HDLやVHDL等ハードウェア記述言語によりデバイスの機能が記述されているデータや、そのデバイスのシミュレーション結果を基に作成されたプログラムで、テスト記述言語(TDL)により記述される。テストプログラム51はソースコードとしての形態を有する。使用者は必要に応じて試験パラメータ等を設定して、半導体試験装置のハードウェアにおける試験動作を規定する。半導体試験装置のハードウェアの変更や追加があるときは、そのハードウェアに関与する試験のテスト記述(TDL)の部分

が変更される。

【0034】マスタプロセッサ(以後必要に応じてMPと言う)53は、基本的に、TDLコンパイラあるいはジャストインタイムコンパイラと本発明の譲受人が称するようなコンパイラである。マスタプロセッサ51はソースコードであるテストプログラムTDLをオブジェクトコードに変換するとともにテストプログラムを解釈してハードウェアとしての半導体試験装置に伝える。

【0035】MPインターフェイス(以後必要に応じてMPIと言う)54は、マスタプロセッサ51の解釈に必要なデータを供給するためのテーブルマッピングであり、TDL言語の文法を決定するためのセンテンス形式のデータの羅列とその実行をつかさどるプログラムライブラリから構成される。ハードウェアの追加あるいは変更に伴う新たなデータはこれらのテーブルおよびプログラムライブラリの追加あるいは変更により行われる。マスタプロセッサ53はMPインターフェイス54からTDL言語の文法を決定するためのセンテンス形式のデータ情報を得て、この情報に基づいてテストプログラムのコンパイルを行い、そのコンパイルされたコードを解釈し実行する。マスタプロセッサによるこの解釈の結果、MPインターフェイス54内の対応するプログラムライブラリが実行され、テストライブラリ56にTDLに記述されたテストデータが送られる。

【0036】テストライブラリ56はMPインターフェイス54から送られてきたテストデータを半導体試験装置のハードウェアの内容に基づいてフォーマット変換する。例えば、電圧値や時間値がフローティングポイントで転送されてきたものをテストハードウェアが解釈できるビットの羅列等に変換を行う。また、そのハードウェアに固有の電圧、電流、周波数等の限界値に基づいて、テストプログラムに対応する実際の限界値等を定める。バスドライバ55はデータバスを經由して、ハードウェアとしての半導体試験装置のそれぞれのレジスタに実際にデータを転送するためのドライバである。

【0037】本発明の構成において、マスタプロセッサ53は、システム起動時にあらかじめ半導体試験装置のハードウェアに基づいたMPインターフェイスのデータやプログラムをロードするように外部ファイルを用いて指定する。半導体試験装置に新たなハードウェアが追加された場合、その追加に伴うデータやプログラムを考慮してテストプログラムの解釈を行うことにより、半導体試験装置の新たなハードウェアが利用可能となる。

【0038】例えば、第7図に示すように、半導体試験装置のハードウェアが追加され、その追加されたハードウェア13内のレジスタ581、582、583に必要な制御データを格納する場合を想定する。追加されたハードウェアに応じて、MPインターフェイスのテーブル541、542、543が、それぞれシステム起動時に追加される。このテーブルの内容は、TDL言語の文法を決定するためのセン

テンス形式のデータの羅列とその実行をつかさどるプログラムから構成されている。

【0039】ハードウェアの追加変更にともない、通常テストプログラムの構造に変更が必要となる。その場合、第7図に示すように、テストプログラム511、512、513が必要に応じて追加される。またテストライブラリ56は追加されたハードウェアの内容に応じてデータ変換に必要な定数テーブルやハードウェアの制御シーケンスをソースプログラムとして作成する。例えばこのテストライブラリはC言語で作成される。

【0040】マスタプロセッサ53はあらたなMPインタフェースのテーブル541、542、543のデータを受けて、それらに基づいてテストプログラム51からのプログラムを解釈する。ハードウェアの追加により、テストプログラム511、512、513が必要に応じて追加されているので、これらのプログラムのコンパイルと解釈が、対応するMPインタフェースのテーブル541、542、543のデータをもとに実施される。その結果としてテストプログラムに設定されているデータがMPインタフェース54を経由してテストライブラリ56に供給される。テストライブラリ56では、あらたなMPインタフェースのテーブル541、542、543を経由して受け渡されたデータを、ハードウェアへ転送可能なデータへフォーマット変換してバスドライバ55に供給する。この結果バスドライバ55、テストバス52を経由して、ハードウェア13内のレジスタ581、582、583には必要な制御データが格納される。

【0041】一方、ハードウェア13内のレジスタ581、582、583に制御データを格納するのに換えて、仮想スタバス57を経由してエミュレータ59にバスドライバ55からの制御データを送付してもよい。このエミュレータ59を用いることにより、例えば、半導体試験装置としてのハードウェア13が容易に得られない場合等において、その追加変更等をするハードウェアに換えてエミュレータ59によりソフトウェアの開発、動作確認等が行える。エミュレータ59には第4図に示した構成により、各ハードウェアブロックの機能をエミュレートするエミュレータユニットが設けられている。そのようなエミュレータユニットは指定されたメモリ領域58'としての形態を有している。

【0042】この例では追加すべきハードウェア13内のレジスタ581、582、583に対応するメモリ領域581'、582'、583'がさらに指定され、そこにテストライブラリ56でフォーマット変換されたデータがバスドライバ55、仮想スタバス57を経由して格納される。この新たなデータに基づいて追加されるべき各ハードウェアブロック機能についてエミュレート動作が実行される。したがって、このエミュレータを経由して新たな制御データの適否等の確認や新たなデバイスプログラムの開発やデバッグがハードウェア無しに可能となる。

【0043】

【発明の効果】以上のように、本発明の半導体試験装置では、ハードウェアとしての半導体試験装置が無くても、そのハードウェアの機能さらにはそのハードウェアによる試験信号の発生、被試験部品からの結果信号の発生、その結果信号の比較等の動作がエミュレートできる。すなわち、被試験部品に対する具体的な試験のレベルでのエミュレートができるので、デバイスプログラム等の開発やデバッグがハードウェア無しで完全に実行できる。

10 【0044】さらに本発明の半導体試験装置では、半導体試験装置のハードウェアの追加や交換等の変更があった場合に、その変更されたハードウェアを制御するためのソフトウェアの変更が容易かつ迅速に行える。また本発明による半導体試験装置では、ハードウェアの変更があった場合、その変更されたハードウェアを制御するためのソフトウェアの変更がテストプログラムに対するコンパイラを考慮することなく実施できるため使用者におけるソフトウェアの変更が容易に行える。さらに本発明においては、ハードウェアの追加や変更がある場合、そのハードウェアを実際に使用しないでも、必要な制御データをエミュレータに格納し、そのデータに基づいて制御データの適否等の確認や新たなデバイスプログラムの開発やデバッグ、さらには半導体試験装置全体としての機能をエミュレートできる。

【図面の簡単な説明】

【図1】第1図は半導体試験装置のシステム全体の概要を、ハードウェアとソフトウェアを含めて示したブロック図である。

【図2】第2図は第1図における半導体試験装置のシステム全体の概要を、本発明によるエミュレータの機能により示したブロック図である。

【図3】第3図は半導体試験装置の各ハードウェアブロック及び試験対象である半導体部品との接続関係を示すブロック図である。

【図4】第4図は第3図における半導体試験装置のブロック図による半導体部品の試験構造を、本発明によるエミュレータの機能により示したブロック図である。

【図5】第5図は本発明によるエミュレータの動作の概略を、目的別フローに応じて示したフローチャートである。

【図6】第6図は本発明によるエミュレータにより、半導体部品の試験をエミュレートする場合の信号波形等を示すタイミングチャートである。

【図7】第7図は本発明によるエミュレータの他の実施例であり、ハードウェアの変更や追加に応じてソフトウェアの変更が容易に行えるようにした半導体試験装置のソフトウェアと本発明によるエミュレータを組み合わせたブロック図である。

【符号の説明】

12	オペレーティングシステ	* 32
ム		33
13	テストハードウェア	34
14	被試験半導体部品	35
21	デバイスプログラム	41
22	オペレーティングシステ	42
ム		43
23	テストハードウェアエミ	ュレータ
ュレータ		44
24	デバイスエミュレータ	10 45
31	レート発生器	* 47

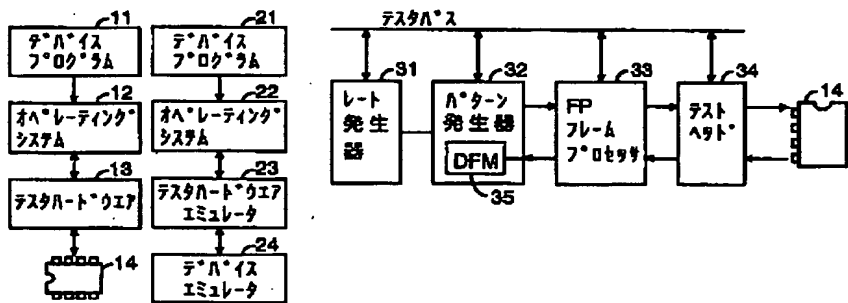
14	パターン発生器
	フレームプロセッサ
	テストヘッド
	デバイスフェイルメモリ
	レート発生エミュレータ
	パターン発生エミュレータ
	フレームプロセッサエミ
	テストヘッドエミュレータ
	デバイスエミュレータ
	メモリ

【図1】

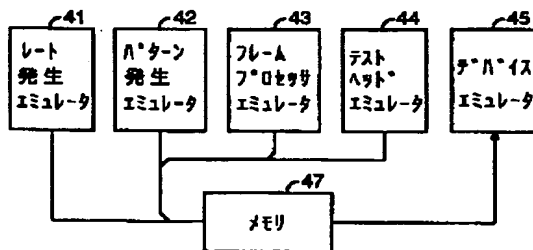
【図2】

【図3】

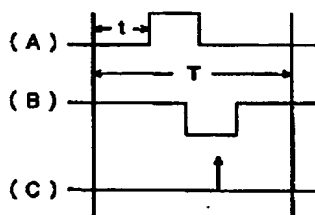
【図5】



【図4】



【図6】



【図7】

